

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-327898

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

G06F 9/32

G05B 19/05

G06F 9/38

G06F 11/28

(21)Application number : 10-124857

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.05.1998

(72)Inventor : TSUNODA HIROAKI

OYAMADA HIDEO

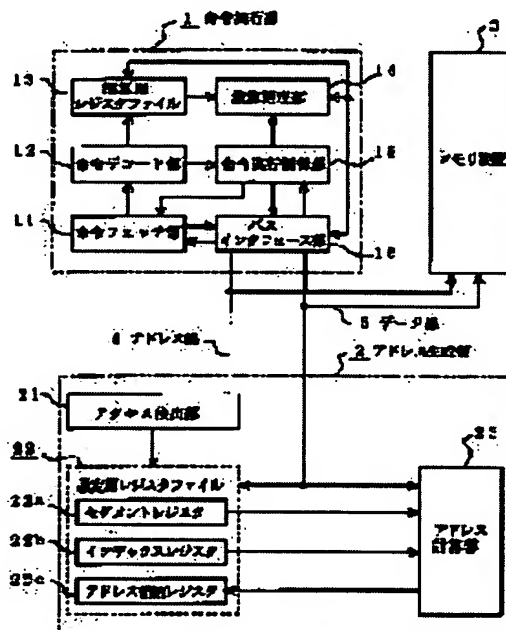
NISHII TSUTOMU

(54) CONTROL INSTRUCTION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a control instruction processor by which an instruction is executed at high speed by shortening a time from instruction decoding to access to a memory device.

SOLUTION: An address generating part 2 fetches the instruction which is outputted from the memory device 3 to a data line 5 by the timing of an instruction fetching from an instruction executing part 1, an address is generated in parallel with the instruction fetching and decoding by the executing part 1 and stored in an address storing register 22C and the instruction executing part 1 accesses the memory device 3 by a generated address value and fetches data. The address is generated in parallel with the instruction fetching and decoding so that the instruction is executed at high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 2 7 8 9 8

(43) 公開日 平成 11 年 (1999) 11 月 30 日

(51) Int. Cl.⁶
G 0 6 F 9/32 3 2 0
G 0 5 B 19/05
G 0 6 F 9/38 3 1 0
11/28

F I
G 0 6 F 9/32 3 2 0 J
9/38 3 1 0 B
11/28 L
G 0 5 B 19/05 F

審査請求 未請求 請求項の数 8

O L

(全 1 5 頁)

(21) 出願番号 特願平 10-124857

(22) 出願日 平成 10 年 (1998) 5 月 7 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 角田 裕明

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

(72) 発明者 小山田 英夫

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

(72) 発明者 西井 努

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

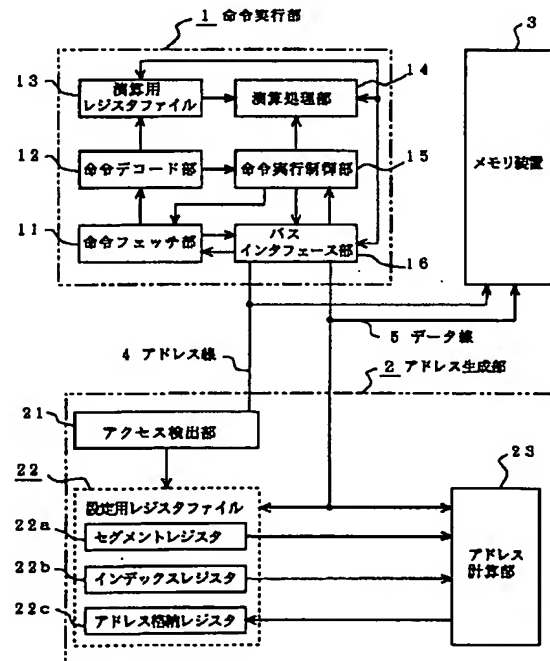
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 制御命令処理装置

(57) 【要約】

【課題】 従来の命令実行のフローは、命令をフェッチ、デコードした後、アドレスを生成し、メモリ装置へのアクセスを行ってデータを取り込み演算を行うフローであるが、メモリ装置にアクセスするには、命令デコードとメモリ装置へのアクセスの間に必ずアドレスを生成する必要があり、その分命令実行が遅くなる。

【解決手段】 命令実行部 1 からの命令フェッチのタイミングでメモリ装置 3 からデータ線 5 に出力される命令をアドレス生成部 2 が取り込み、命令実行部 1 による命令フェッチ、デコードと並列にアドレスを生成してアドレス格納レジスタ 2 2 c に格納し、命令実行部 1 は生成されたアドレス値でメモリ装置 3 へアクセスしてデータを取り込む。命令フェッチ、デコードと並列にアドレスを生成するので命令実行が高速化される。



【特許請求の範囲】

【請求項 1】 命令を実行する命令実行部と、命令および命令実行で使用するデータを格納するメモリ装置と、命令のオペランドから上記メモリ装置のデータ領域へアクセスするためのアドレスを生成するアドレス生成部とを備え、上記命令実行部による命令のフェッチおよびデコードと並列に上記アドレス生成部で上記フェッチした命令のオペランドからアドレスを生成し、この生成したアドレスに対応する上記メモリ装置のデータ領域にアクセスするようにしたことを特徴とする制御命令処理装置。

【請求項 2】 請求項 1 記載の制御命令処理装置において、アドレス生成部に、フェッチした命令のオペランドがメモリ装置の使用領域を指定しているか否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのアクセスを中止することを特徴とする制御命令処理装置。

【請求項 3】 請求項 1 記載の制御命令処理装置において、アドレス生成部に、生成したアドレスが設定したアドレスの範囲内か否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのアクセスを中止することを特徴とする制御命令処理装置。

【請求項 4】 請求項 1 記載の制御命令処理装置において、アドレス生成部に、フェッチした命令のオペランドがメモリ装置のライト禁止領域を指定しているか否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのライトアクセスを中止することを特徴とする制御命令処理装置。

【請求項 5】 請求項 1 記載の制御命令処理装置において、アドレス生成部に、生成したアドレスがデバッグを実行するためのアドレスと一致しているか否かをチェックするチェック機能を設け、そのチェック結果に応じてデバッグモードに移行することを特徴とする制御命令処理装置。

【請求項 6】 請求項 1 記載の制御命令処理装置において、上記アドレス生成部に、命令をフェッチするアドレスがデバッグを実行するためのアドレスと一致しているか否かをチェックするチェック機能を設け、そのチェック結果に応じてデバッグモードに移行することを特徴とする制御命令処理装置。

【請求項 7】 請求項 1～6 のいずれか 1 項に記載の制御命令処理装置において、命令実行部からのアドレスでメモリ装置へアクセスするか、または、アドレス生成部で生成したアドレスで上記メモリ装置にアクセスするかを切り替える切替手段を設け、命令フェッチの場合は、命令実行部からのアドレスでメモリ装置へアクセスし、上記メモリ装置のデータ領域にアクセスする場合は、上記アドレス生成部で生成したアドレスで上記メモリ装置にアクセスするよう切り替えることを特徴とする制御命令処理装置。

【請求項 8】 請求項 1～7 のいずれか 1 項に記載の制御命令処理装置において、チェック機能でのチェック結果がメモリ装置へのアクセス中止、または、デバッグモードへの移行の場合、アドレス生成部は命令実行部に割り込み通知をしてアクセス中止、または、デバッグモードへの移行を行うようにしたことを特徴とする制御命令処理装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 この発明は、産業用プラントコントローラ等に使用される制御命令を実行する制御命令処理装置に関するものである。

【0002】

【従来の技術】 図 18 は特開平 9-231073 号公報に記載されている制御命令処理装置の構成図である。図において、1 は命令実行部であり、後述するメモリ装置 3 から読み出された命令を格納する動作を行う命令フェッチ部 11 と、命令フェッチ部 11 から送り出された命令を解析する命令デコード部 12 と、演算時に使用するレジスタの集まりである演算用レジスタファイル 13 と、命令実行に必要な算術や論理演算を行う演算処理部 14 と、命令デコード部 12 によって解析された命令の動作を行う命令実行制御部 15 と、後述するメモリ装置 3 にアクセスするバスインタフェース部 16 と、命令実行中に使用するデータを取り出す為に命令デコード部 12 によって取り出されたオペランドから後述するメモリ装置 3 に対するアドレスを生成するアドレス生成部 17 から構成される。

30 【0003】 3 は制御命令、および命令の実行で使用するデータ等を格納するメモリ装置である。4 は命令実行部 1 がメモリ装置 3 のアドレスを出力するアドレス線、5 はメモリ装置へのデータの書き込み、読み出しに使用するデータ線である。

【0004】 図 19 は従来の制御命令処理装置の動作を示すフローチャート、図 20 は命令の一般的なフォーマットであり、81 はオペコード、82 はオペランド、82a はセグメント No、82b はオフセット、82c はインデックス No、82d はアクセス情報である。又、図 21 はアドレス生成フローである。

40 【0005】 次に動作について図 18 の構成図、図 19 のフローチャートを用いて説明する。

(1) 命令実行制御部 15 では命令実行の一連の動作を管理しており、S1 で命令実行の為に必要な命令を取込む為に命令フェッチ要求を命令フェッチ部 11 に通知する。

50 【0006】 (2) 命令フェッチ部 11 は実行する命令の番号を管理するプログラムカウンタを内蔵しており、プログラムカウンタの値から命令が格納されているアドレスを生成し、メモリ装置 3 にアクセスする為のアクセス要求をバスインタフェース部 16 に通知する。

【0007】(3) バスインタフェース部16はメモリ装置3に対するリードアクセスを行い、取込んだ命令を命令フェッチ部11へ格納する。ここで命令のフォーマットは一般的に図20のようになっており、81は命令の種別を示すオペコード、82は演算に使用するオペランドであり、即値(イミディエート)の場合、レジスタ番号を示す場合、メモリ装置のアドレスを示す場合等がある。

【0008】図20ではメモリ装置のアドレスを論理アドレスフォーマットで示した場合を示しており、82a

【0009】(4) S2では格納された命令が命令デコード部12で解析され、命令実行に必要な動作、及びタイミング制御情報を命令実行制御部15へ通知し、メモリ装置3に格納されているデータが必要な場合はアドレスを生成する為にアドレスを生成する為の情報をアドレス生成部17へ通知する。

【0010】(5) S3ではアドレス生成部17が命令実行で必要なデータをメモリ装置3から読み込む為に、命令デコード部12から送られる命令オペランド(図20の82)より、セグメントNo:82aとインデックスNo:82cを元に演算用レジスタファイル13から取り出した設定レジスタの値とアクセス情報82dとオフセット82bからアドレスを生成する。この時のアドレス生成フローは図21に示す。

【0011】(6) 次にS4において命令実行制御部15はアドレス生成部17で生成されたアドレスを元にメモリ装置3へのアクセス要求をバスインタフェース部16へ通知する。

(7) バスインタフェース部16はメモリ装置3から演算に必要なデータをリードし、演算処理部14へ送り出す。

【0012】(8) S5において演算処理部14はバスインタフェース部16から送られたデータと演算用レジスタファイル13から送られるレジスタの値を使用して演算を行い実行結果を演算用レジスタファイル13に書き戻す。以上の動作により制御命令の1命令実行が完了する。

【0013】

【発明が解決しようとする課題】上記の通り、従来の制御命令処理装置における命令実行のフローは、命令をフェッチ、デコードした後、アドレスを生成し、メモリ装置へのアクセスを行ってデータを取込み演算を行うというフローであるが、メモリ装置にアクセスする場合、命令デコードとメモリ装置へのアクセスの間に必ずアドレスを生成する必要がある、その分命令実行が遅くなるという問題があった。

【0014】この発明は以上の問題を解消する為になさ

れたもので、命令デコードからメモリ装置へのアクセスまでの時間を短縮し、命令を高速に実行できる制御命令処理装置を提供する事を目的とする。

【0015】

【課題を解決するための手段】(1) この発明に係る制御命令処理装置は、命令を実行する命令実行部と、命令および命令実行で使用するデータを格納するメモリ装置と、命令のオペランドから上記メモリ装置のデータ領域へアクセスするためのアドレスを生成するアドレス生成部とを備え、上記命令実行部による命令のフェッチおよびデコードと並列に上記アドレス生成部で上記フェッチした命令のオペランドからアドレスを生成し、この生成したアドレスに対応する上記メモリ装置のデータ領域にアクセスするようにしたものである。

【0016】(2) また、上記(1)において、アドレス生成部に、フェッチした命令のオペランドがメモリ装置の使用領域を指定しているか否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのアクセスを中止するようにしたものである。

【0017】(3) また、上記(1)において、アドレス生成部に、生成したアドレスが設定したアドレスの範囲内か否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのアクセスを中止するようにしたものである。

【0018】(4) また、上記(1)において、アドレス生成部に、フェッチした命令のオペランドがメモリ装置のライト禁止領域を指定しているか否かをチェックするチェック機能を設け、そのチェック結果に応じて上記メモリ装置へのライトアクセスを中止するものである。

【0019】(5) また、上記(1)において、アドレス生成部に、生成したアドレスがデバッグを実行するためのアドレスと一致しているか否かをチェックするチェック機能を設け、そのチェック結果に応じてデバッグモードに移行するものである。

【0020】(6) また、上記(1)において、上記アドレス生成部に、命令をフェッチするアドレスがデバッグを実行するためのアドレスと一致しているか否かをチェックするチェック機能を設け、そのチェック結果に応じてデバッグモードに移行するものである。

【0021】(7) また、上記(1)～(6)のいずれか1項において、命令実行部からのアドレスでメモリ装置へアクセスするか、または、アドレス生成部で生成したアドレスで上記メモリ装置にアクセスするかを切り替える切替手段を設け、命令フェッチの場合は、命令実行部からのアドレスでメモリ装置へアクセスし、上記メモリ装置のデータ領域にアクセスする場合は、上記アドレス生成部で生成したアドレスで上記メモリ装置にアクセスするよう切り替えるものである。

【0022】(8) また、上記(1)～(7)のいずれか1項において、チェック機能でのチェック結果がメモ

10

20

30

40

50

リ装置へのアクセス中止、または、デバッグモードへの移行の場合は、アドレス生成部は命令実行部に割り込み通知をしてアクセス中止、または、デバッグモードへの移行を行うようにしたものである。

【0023】

【発明の実施の形態】実施の形態1. 図1は実施の形態1の構成図である。図において、1は命令実行部であり、後述するメモリ装置3から読み出された命令を格納する動作を行う命令フェッチ部11と、命令フェッチ部11から送り出された命令を解析する命令デコード部12と、演算時に使用するレジスタの集まりである演算用レジスタファイル13と、命令実行に必要な算術や論理演算を行う演算処理部14と、命令デコード部12によって解析された命令の動作を行う命令実行制御部15と、後述するメモリ装置3にアクセスするバスインタフェース部16から構成される。

【0024】3は制御命令、又命令の実行で使用するデータ等を格納するメモリ装置である。4は命令実行部1がメモリ装置3のアドレスを出力するアドレス線、5はメモリ装置へのデータの書き込み、読み出しに使用するデータ線である。

【0025】2は命令実行中に使用するデータをメモリ装置3から取り出す為にオペランドからアドレスを生成するアドレス生成部で、21はアドレス線4を監視し、メモリ装置3内の命令へのアクセスを検出するアクセス検出部、22はアドレスの生成に必要な設定レジスタの集まりである設定用レジスタファイル、22aはセグメント番号に対応するベースアドレス値を格納するセグメントレジスタ、22bはインデックスレジスタ、22cは後述するアドレス計算部の出力を格納するアドレス格納レジスタ、23はデータ線5から取込まれた命令のオペランドとセグメントレジスタ22a、インデックスレジスタ22bの値を元にアドレスを計算するアドレス計算部である。又、図2は実施の形態1の動作(1命令実行時の動作)の概要を示すフローチャートで、図3、図4は図2のフローの詳細動作を示すフローチャートである。

【0026】次に動作について図1の構成図、図2、図3、図4のフローチャートを用いて説明する。

(1) 命令実行制御部15では命令実行の一連の動作を管理しており、ステップS1で命令実行の為に必要な命令を取込む為に命令フェッチ要求を命令フェッチ部11に通知する(T1)。

【0027】(2) 命令フェッチ部11は実行する命令の番号を管理するプログラムカウンタを内蔵しており、プログラムカウンタの値から命令が格納されているアドレスを生成し(T2)、

(3) メモリ装置3にアクセスする為のアクセス要求をバスインタフェース部16に通知する(T3)。

【0028】(4) バスインタフェース部16はメモリ

装置3に対するリードアクセスを行う(T4)。

(5) バスインタフェース16は、取込んだ命令を命令フェッチ部11へ格納する(T5)。(S1はT1~T5に相当)

【0029】(6) 格納された命令が命令デコード部12で解析され、命令実行に必要な動作、及びタイミング制御情報を命令実行制御部15へ通知する(S2、T6)。

【0030】(7) 一方アドレス生成部2のアクセス検出部21ではアドレス線4を常に監視しており、アクセス検出部21はメモリ装置3に対するリードアクセス検出すると(T11)、

(8) そのタイミングでのデータをデータ線5からアドレス計算部23へ取込み(T12)、

【0031】(9) 命令実行部1において命令フェッチ(S1)、命令デコード(S2)を行っている間にオペコードからアドレス計算を行い(T13)、

(10) アドレス格納レジスタ22cへ格納する(T14)。(S3はT11~T14に相当)

【0032】この時のアドレス生成フローは図21と同様であり、NOP命令等の様にオペランドが不要、あるいは即値、内部レジスタである等に関わらず無条件に論理アドレスフォーマットとしてアドレス計算を行う。

【0033】(11) 命令実行部1では、命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、命令実行制御部15がその旨をバスインタフェース部16に通知する(T21)。

(12) バスインタフェース部16は、アドレス格納レジスタ22cに格納されているアドレスを取込む為に、まずアドレス線4にアドレス格納レジスタ22cに対するアドレスを出力する(T22)。

【0034】(13) アクセス検出部21は、アドレス格納レジスタ22cへのアクセスである事を認識すると、アドレス格納レジスタ22cの値を、データ線5に出力する(T23)。

(14) バスインタフェース部16はデータ線5に出力されたアドレス格納レジスタ22cの値を取り込む(T24)。

【0035】(15) そして取り込んだアドレス格納レジスタ22cの値をメモリ装置3に対するアドレスとしてアドレス線4に乗せかえ(T25)、

(16) メモリ装置3から演算に必要なデータをデータ線5を経由してリードアクセスし(T26)、

(17) 演算処理部14へ送り出す(T27)。(S4はT21~T27に相当)

【0036】(18) 演算処理部14はバスインタフェース部16から送られたデータと演算用レジスタファイル13から送られるレジスタの値を使用して演算を行い実行結果を演算用レジスタファイル13に書き戻す(S5、T28)。以上の動作により制御命令の1命令実行

が完了する。

【0037】アドレス生成部2では、絶えずオペランドからアドレス生成を行うが、もし、命令デコードの結果、NOP (No Operation) 命令等の様にオペランドが不要、あるいは即値、内部レジスタである等の場合は、命令実行制御部15は、バスインタフェース部16に起動をかける必要が無く（アドレス格納レジスタ22cにアクセスする必要は無い）、S4を実行せず、S5に移行することで、命令実行部1のみで処理を終わらせる（つまりこの場合、アドレス生成部2では不正なアドレス計算を行っていることになるが、命令実行部1で使用しないので問題は発生しない）。

【0038】なお、上記説明はメモリ装置3のデータ領域からデータをリードする場合であるが、データをライトする場合についてもアドレスを生成する動作はリードの場合と同様であり、リードするかライトするかは、命令の種類（オペコード）により区別される。なお、ライトの場合は演算処理後にメモリ装置3への書き込み動作となる。

【0039】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にアドレスを生成し、メモリ装置のデータにアクセスするタイミングで、生成されたアドレスをデータ線を経由してアドレス線に乗せかえることにより、命令実行の高速化が可能となる。

【0040】実施の形態2。図5は実施の形態2の構成図である。図において、実施の形態1で用いた図1と同一記号のものは同等機能である。但し、22cは後述するセグメントエラー検出部の出力であるセグメントエラー情報E1と有効アドレスVAを格納するアドレス格納レジスタである。22dはセグメントの使用情報（使用、未使用）を格納するセグメント設定レジスタである。25は未使用セグメントに対するアクセスを検出するセグメントエラー検出部である。なお、使用情報で未使用とは、メモリ装置3に存在しない空きのアドレス空間である。そして、セグメント設定レジスタ22dへの使用情報の設定は予め制御命令を実行する前に命令実行部1により設定される。図6は実施の形態2の動作の詳細を示すフローチャートである。

【0041】次に動作について図5の構成図、図20の論理アドレスフォーマット、図2、図6のフローチャートを用いて説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作（T30、T31）、アドレス生成部2によるアドレス生成S3までの動作（T40、T41、T46）は実施の形態1と同等である。

【0042】(2) 但し、アドレス生成部2によるアドレス生成S3時に、セグメントエラー検出部25が、セグメントの使用情報（使用、未使用）を格納するセグメ

ント設定レジスタ22dとデータ線5に含まれる命令内のセグメントNo. 82aを参照する（T42）。

(3) セグメントNo. 82aに対応する、セグメント設定レジスタ22dのセグメント使用情報（使用、未使用）が使用であれば正常を、未使用であればセグメントエラーを、アドレス格納レジスタ22cのセグメントエラー情報E1へ格納する（T43、T44、T45）。

【0043】(4) 一方、命令実行部1における命令デコードの結果、メモリ装置3に格納しているデータが演算に必要な場合、命令制御部15がその旨をバスインタフェース部16に通知し、アドレス格納レジスタ22cへのアクセスを行う。その際に、バスインタフェース部16は、セグメントエラー情報E1およびアドレスVAを参照し（T32）、

(5) セグメントエラーを検出した場合には（T33）、

(6) 命令実行制御部15にセグメントエラーを通知する（T35）。

【0044】(7) その後、命令実行制御部15は不正アドレス空間へのアクセスを行なわないようにする（T36）。なお、アクセスを行わない場合は、一般に処理動作を停止させる。

(8) セグメントエラーが発生していない場合の動作は、実施の形態1と同等であり、実施の形態1のT25以降を実行する（T34）。

【0045】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にセグメントエラー検出を行ない、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0046】実施の形態3。図7は実施の形態3の構成図である。図において、実施の形態1で用いた図1と同一記号のものは同等機能である。但し、22cは後述するリミットエラー検出部26の出力であるリミットエラー情報E2と、有効アドレスVAを格納するアドレス格納レジスタである。22eはアドレスの上限を設定するリミット設定レジスタ、26はアドレス計算部23から入力されたアドレスとリミット設定レジスタ22eに設定されたアドレスとを比較するリミットエラー検出部である。なお、リミット設定レジスタ22eへのアドレス上限値の設定は予め制御命令を実行する前に命令実行部1により設定される。

【0047】次に動作について図7の構成図、図2のフローチャートを用いて説明する。なお、この実施の形態3では実施の形態2の図6に示すような詳細のフローは省略しているが、図6のステップT41～T45が異なり、その他のステップは同一である。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作、アドレス生成部2によるアドレス

生成 S 3 までの動作は実施の形態 1 と同等である。

(2) 但し、アドレス生成部 2 によるアドレス生成 S 3 時に、リミットエラー検出部 2 6 が、アドレスの上限が格納されているリミット設定レジスタ 2 2 e とアドレス計算部 2 3 で計算された結果を比較する。

(3) 検出されたアドレスがリミット設定レジスタ 2 2 e の値より小さい場合は正常を、大きい場合はエラー情報を、アドレス格納レジスタ 2 2 c のリミットエラー情報 E 2 へ格納する。

【0048】(4) 命令実行部 1 における命令デコードの結果、メモリ装置 3 へアクセスする場合、命令実行制御部 1 5 がその旨をバスインタフェース部 1 6 に通知し、アドレス格納レジスタ 2 2 c へのアクセスを行う。

(5) その際に、バスインタフェース部 1 6 はリミットエラー情報 E 2 を参照し、リミットエラーを検出した場合には、命令実行制御部 1 5 にリミットエラーを通知する。

(6) その後、命令実行制御部 1 5 は不正アドレス空間へのアクセスを行わないようにする。

(7) リミットエラーが発生していない場合の動作は実施の形態 1 と同等である。

【0049】なお、アドレスは上限と下限があるので、下限の場合にも適用可能である。つまり設定したアドレスの範囲内か否かをチェックすることができる。以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列に、命令実行部からのアドレスが設定したアドレスの範囲内か否かのリミットエラーをチェックし、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0050】実施の形態 4. 図 8 は実施の形態 4 の構成図である。図において、実施の形態 1 で用いた図 1 と同一記号のものは同等機能である。但し、2 2 c は後述するライト禁止属性エラー検出部の出力であるライト禁止属性エラー情報 E 3 と有効アドレス V A を格納するアドレス格納レジスタである。2 2 f はライト禁止属性を格納するライト禁止属性設定レジスタである。2 7 はライト禁止属性を持つアドレス空間に対するアクセスを検出するライト禁止属性エラー検出部である。なお、ライト禁止は例えば、リードオンリーメモリ (ROM) 等でリードは可能であるが、ライトは不可の領域 (セグメント) であり、ライト禁止属性設定レジスタ 2 2 f へのライト禁止の設定は予め制御命令を実行する前に命令実行部 1 により設定される。

【0051】次に動作について図 8 の構成図、図 20 の論理アドレスフォーマット、図 2 のフローチャートを用いて説明する。

(1) 命令実行部 1 による命令フェッチ S 1、命令デコード S 2 までの動作、アドレス生成部 2 によるアドレス

生成 S 3 までの動作は実施の形態 1 と同等である。

(2) 但し、アドレス生成部 2 によるアドレス生成 S 3 時に、ライト禁止属性エラー検出部 2 7 が、ライト禁止属性設定レジスタ 2 2 f とデータ線 5 に含まれる命令内のセグメント No. 8 2 a を参照する。

【0052】(3) セグメント No. 8 2 a に対応する、ライト禁止属性設定レジスタ 2 2 f のライト禁止属性が正常であれば正常を、禁止であればライト禁止属性エラーを、アドレス格納レジスタ 2 2 c のライト禁止属性エラー情報 E 3 へ格納する。

(4) 命令実行部 1 における命令デコードの結果、メモリ装置 3 へアクセスする場合、命令制御部 1 5 がその旨をバスインタフェース部 1 6 に通知し、アドレス格納レジスタ 2 2 c へのアクセスを行う。

【0053】(5) その際に、バスインタフェース部 1 6 は、ライト禁止属性エラー情報 E 3 を参照し、ライト禁止属性エラーを検出した場合には、命令実行制御部 1 5 にライト禁止属性エラーを通知する。

(6) その後、命令実行制御部 1 5 は不正アドレス空間へのアクセスを行わないようにする。

(7) ライト禁止属性エラーが発生していない場合の動作は実施の形態 1 と同等である。

【0054】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にライト禁止属性エラー検出を行ない、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0055】実施の形態 5. 図 9 は実施の形態 5 の構成図である。図において、実施の形態 1 で用いた図 1 と同一記号のものは同等機能である。但し、2 2 c は後述するアドレス一致検出部 2 8 の出力であるアドレス一致情報 E 4 と、有効アドレス V A を格納するアドレス格納レジスタである。2 2 g はデバッグ用アドレスを格納するアドレス一致設定レジスタ、2 8 はアドレス計算部 2 3 から入力されたアドレスとアドレス一致設定レジスタ 2 2 g に設定されたアドレスとを比較するアドレス一致検出部である。なお、アドレス一致設定レジスタ 2 2 g へのアドレスの設定は予め制御命令を実行する前に命令実行部 1 により設定される。

【0056】次に動作について図 9 の構成図、図 2 のフローチャートを用いて説明する。

(1) 命令実行部 1 による命令フェッチ S 1、命令デコード S 2 までの動作、アドレス生成部 2 によるアドレス生成 S 3 までの動作は実施の形態 1 と同等である。

(2) 但し、アドレス生成部 2 によるアドレス生成 S 3 時に、アドレス一致検出部 2 8 が、デバッグ用アドレスが格納されているアドレス一致設定レジスタ 2 2 g とアドレス計算部 2 3 で計算された結果を比較する。

【0057】(3) アドレス計算部 2 3 で計算されたア

ドレスがアドレス一致設定レジスタ22gの値と一致しない場合は正常を、一致している場合はアドレス一致情報を、アドレス格納レジスタ22cのアドレス一致情報E4へ格納する。

(4) 命令実行部1における命令デコードの結果、メモリ装置へアクセスする場合、命令実行制御部15がその旨をバスインタフェース部16に通知し、アドレス格納レジスタ22cへのアクセスを行う。

【0058】(5) その際に、バスインタフェース部16はアドレス一致情報E4を参照し、アドレス一致を検出した場合には、命令実行制御部15にアドレス一致を通知する。

(6) 命令実行の完了後、命令実行制御部15はデバッグモードに入る。

(7) アドレスが一致しない場合の動作は実施の形態1と同等である。

【0059】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列に、命令のオペランドから生成されるアドレスがデバッグの為のアドレスと一致しているか否かをチェックし、デバッグモードへの移行時間を高速に行うことにより、命令実行の高速化が可能となる。

【0060】実施の形態6. 図10は実施の形態6の構成図である。図において、実施の形態1で用いた図1と同一記号のものは同等機能である。24はアドレス線4とアドレス格納レジスタ22cの値を切り替えるアドレス切替部、6はアドレス切替部によって出力されるメモリアドレス線である。図11は実施の形態6の動作を示すフローチャートである。

【0061】次に動作について図10の構成図、図2、図11のフローチャートで説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作(U1)、アドレス生成部2によるアドレス計算、及びアドレス格納レジスタ22cへの格納までの動作(U11、U12)は実施の形態1と同等である。

【0062】但し、アクセス検出部21は、バスインタフェース部16がメモリ装置3へアクセスする場合は、アドレス線4の値をメモリアドレス線6に、アドレス格納レジスタ22cへのアクセスする場合は、アドレス格納レジスタ22cの値をメモリアドレス線6へ出力する様にアドレス切替部24を制御する。ステップU1では、アクセス検出部21はアドレス切替部24でアドレス線4とメモリアドレス線6とを接続状態にしておき、通常命令フェッチを行っている場合にはメモリアドレス線6にアドレス線4の値が出力される。

【0063】(2) 命令実行部1における命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、命令実行制御部15がその旨をバスインタ

フェース部16に通知する(U2)。

(3) アドレス格納レジスタ22cへのアクセスを行う。この時メモリ装置3からデータをリードする場合は、アドレス格納レジスタ22cへアクセスするためのアドレスをアドレス線4へ出力し、アドレス格納レジスタ22cへのリードを行う(U3)。(なお、メモリ装置3へデータをライトする場合は、アドレス格納レジスタ22cへのライトを行う。)

【0064】(4) アクセス検出部21は、アドレス線4の値を解析し、アドレス格納レジスタ22cへのアクセスである事を認識すると、アドレス格納レジスタ22cの値をメモリアドレス線6へ出力する様にアドレス切替部24を制御する(U4)。

(5) その後は、バスインタフェース部16はメモリ装置3から演算に必要なデータをデータ線5を経由してリードし、演算処理部14へ送り出すという、実施の形態1のT26以降と同様の動作を実行する(U5)。

【0065】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にアドレスを生成し、メモリ装置のデータにアクセスするタイミングで、生成されたアドレスを高速に切り替えることにより、命令実行の高速化が可能となる。

【0066】実施の形態7. 図12は実施の形態7の構成図である。図において、実施の形態2で用いた図5あるいは実施の形態6で用いた図10と同一記号のものは同等機能である。但し、7aはセグメントエラー検出割込み通知線である。

【0067】次に動作について図12の構成図、図2のフローチャートを用いて説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作、アドレス生成部2によるアドレス生成S3までの動作は実施の形態6と同等である。

(2) 但し、アドレス生成S3時に、セグメントエラー検出部25によって検出されたセグメントエラー情報は、アドレス格納レジスタ22cのセグメントエラー情報E1に格納されるとともに、セグメントエラー検出割込み通知線7aを経由して命令実行制御部15に通知される。

【0068】(3) 命令実行制御部15は、命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、セグメントエラー検出割込み通知線7aをチェックし、セグメントエラーが検出されれば、バスインタフェース部16への起動を行なわない。

(4) その結果として、命令実行部1は不正アドレス空間へのデータアクセスを中止する。

(5) セグメントエラーが発生していない場合の動作は実施の形態6と同様に行う。

【0069】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続

し、命令実行部による命令フェッチ、デコードと並列にセグメントエラー検出を行ない、命令実行部に割込み通知することで、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0070】実施の形態8. 図13は実施の形態8の構成図である。図において、実施の形態3で用いた図7あるいは実施の形態6で用いた図10と同一記号のものは同等機能である。但し、7bはリミットエラー検出割込み通知線である。

【0071】次に動作について図13の構成図、図2のフローチャートを用いて説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作、アドレス生成部2によるアドレス生成S3までの動作は実施の形態6と同等である。

(2) 但し、アドレス生成S3時にリミットエラー検出部26によって検出されたリミットエラー情報は、アドレス格納レジスタ22cのリミットエラー情報E2に格納されるとともに、リミットエラー検出割込み通知線7bを経由して命令実行制御部15に通知される。

【0072】命令実行制御部15は、命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、リミットエラー検出割込み通知線7bをチェックし、リミットエラーが検出されれば、バスインタフェース部16への起動を行わない。その結果として、命令実行部1は不正アドレス空間へのデータアクセスを中止する。リミットエラーが発生していない場合の動作は実施の形態6と同等である。

【0073】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にアドレスを生成し、アドレスを生成したタイミングでアドレスが上限か否かをチェックし、割込み通知線を通じ命令実行制御部に伝達する事で、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0074】実施の形態9. 図14は実施の形態9の構成図である。図において、実施の形態4で用いた図8あるいは実施の形態6で用いた図10と同一記号のものは同等機能である。但し、7cはライト禁止属性エラー検出割込み通知線である。

【0075】次に動作について図14の構成図、図2のフローチャートを用いて説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作、アドレス生成部2によるアドレス生成S3までの動作は実施の形態6と同等である。

(2) 但し、アドレス生成S3時に、ライト禁止属性エラー検出部25によって検出されたライト禁止属性エラー情報は、アドレス格納レジスタ22cのライト禁止属性エラー情報E3に格納されるとともに、ライト禁止属性エラー検出割込み通知線7cを経由して命令実行制御

部15に通知される。

【0076】(3) 命令実行制御部15は、命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、ライト禁止属性エラー検出割込み通知線7cをチェックし、ライト禁止属性エラーが検出されれば、バスインタフェース部16への起動を行わない。

(4) その結果として、命令実行部1は不正アドレス空間へのデータアクセスを中止する。ライト禁止属性エラーが発生していない場合の動作は実施の形態6と同等である。

【0077】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にライト禁止属性エラー検出を行ない、命令実行部に割込み通知することで、不正アドレス空間へアクセスする時間を排除することにより、命令実行の高速化が可能となる。

【0078】実施の形態10. 図15は実施の形態10の構成図である。図において、実施の形態5で用いた図9あるいは実施の形態6で用いた図10と同一記号のものは同等機能である。但し、7dはアドレス一致検出割込み通知線である。

【0079】次に動作について図15の構成図、図2のフローチャートを用いて説明する。

(1) 命令実行部1による命令フェッチS1、命令デコードS2までの動作、アドレス生成部2によるアドレス生成S3までの動作は実施の形態6と同等である。

(2) 但し、アドレス生成S3時に、アドレス一致検出部28によって検出されたアドレス一致情報は、アドレス格納レジスタ22cのアドレス一致情報E4に格納されるとともに、アドレス一致検出割込み線7dを経由して命令実行制御部15に通知される。

【0080】(3) 命令実行制御部15は、命令デコードの結果、メモリ装置3に格納されているデータが演算に必要な場合、アドレス一致検出割込み線7dをチェックし、アドレス一致が検出されれば、命令実行完了後、命令実行制御部15はデバッグモードに入る。

(4) アドレスが一致しない場合の動作は実施の形態6と同等である。

【0081】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチ、デコードと並列にアドレスを生成し、アドレスを生成したタイミングでアドレスがデバッグ用アドレスと一致しているかをチェックし、割込み通知線を通じ命令実行制御部に伝達する事で、デバッグモードへの移行時間を高速に行うことにより、命令実行の高速化が可能となる。

【0082】実施の形態11. 図16は実施の形態11の構成図である。図において、実施の形態6で用いた図10と同一記号のものは同等機能である。但し、22h

は(デバッグの為に)命令フェッチ S1時のアドレスで命令実行を停止する為の PC 一致設定レジスタである。29は PC 一致検出部である。7eは PC 一致検出割込み通知線である。なお、PC 一致設定レジスタ 22hへのアドレスの設定は予め制御命令を実行する前に命令実行部 1により設定される。図 17は実施の形態 11の動作のフローチャートである。

【0083】次に動作について図 16の構成図、図 2のフローチャートを用いて説明する。

(1) 命令実行部 1による命令フェッチ S1、命令デコード S2までの動作、アドレス生成部 2によるアドレス生成 S3までの動作は実施の形態 6と同等である。

【0084】(2) 但し、PC 一致検出部 29はバスインタフェース部 16からアドレス線 4に出力されるアドレスと PC 一致設定レジスタ 22hに格納されたアドレスの一致を常に監視する(S6)。

(3) 一方、S1から S3までの動作後、データアクセス S4と演算処理 S5の動作は実施の形態 6と同等である。

【0085】(4) PC 一致検出部 29で PC 一致を検出した場合には(S7)、

(5) PC 一致検出割込み通知線 7eを通して、命令実行制御部 15に PC 一致検出割込みを通知する。命令実行の完了後、命令実行制御部 15はデバッグモードに入る(S8)。

(6) PC 一致検出が発生していない場合の動作は、実行を終了する。

【0086】以上のように、命令実行部とメモリ装置を接続するアドレス線とデータ線にアドレス生成部を接続し、命令実行部による命令フェッチと並列に PC 一致検出を行ない、命令実行部に割込み通知することで、デバッグモードへの移行時間を高速に行うことにより、命令実行の高速化が可能となる。

【0087】

【発明の効果】以上のようにこの発明によれば、命令フェッチ、命令デコードを行うのと並列にアドレスを生成するので、命令実行の高速化が可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による制御命令処理装置の構成図である。

【図 2】 この発明による実施の形態 1 による制御命令処理装置の動作を示すフローチャートである

【図 3】 この発明による実施の形態 1 による制御命令処理装置の動作を示す詳細フローチャートである

【図 4】 この発明による実施の形態 1 による制御命令処理装置の動作を示す詳細フローチャートである

【図 5】 この発明の実施の形態 2 による制御命令処理装置の構成図である。

【図 6】 この発明の実施の形態 2 による制御命令処理装置の動作を示すフローチャートである

【図 7】 この発明の実施の形態 3 による制御命令処理装置の構成図である。

【図 8】 この発明の実施の形態 4 による制御命令処理装置の構成図である。

【図 9】 この発明の実施の形態 5 による制御命令処理装置の構成図である。

【図 10】 この発明の実施の形態 6 による制御命令処理装置の構成図である。

【図 11】 この発明の実施の形態 6 による制御命令処理装置の動作を示すフローチャートである

【図 12】 この発明の実施の形態 7 による制御命令処理装置の構成図である。

【図 13】 この発明の実施の形態 8 による制御命令処理装置の構成図である。

【図 14】 この発明の実施の形態 9 による制御命令処理装置の構成図である。

【図 15】 この発明の実施の形態 10 による制御命令処理装置の構成図である。

【図 16】 この発明の実施の形態 11 による制御命令処理装置の構成図である。

【図 17】 この発明の実施の形態 11 による制御命令処理装置の動作を示すフローチャートである

【図 18】 従来の制御命令処理装置の構成図である

【図 19】 従来の制御命令処理装置の動作を示すフローチャートである。

【図 20】 一般的な命令のフォーマットを示す図である

【図 21】 アドレスの生成フローを示す図である。

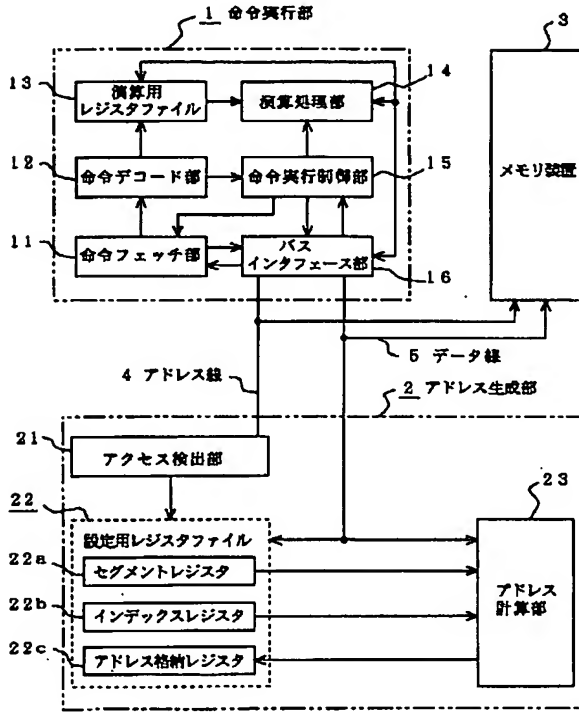
【符号の説明】

1	命令実行部	2	アドレス生成部
4	アドレス線	5	データ線
6	メモリアドレス線	7a	セグメントエラー検出割込み通知線
7b	リミットエラー検出割込み通知線		
7c	ライト禁止属性エラー検出割込み通知線		
7d	アドレス一致検出割込み通知線	7e	PC 一致検出割込み通知線
11	命令フェッチ部	12	命令デコード部
13	演算用レジスタファイル	14	演算処理部
15	命令実行制御部	16	バスインタフェース部
21	アクセス検出部	22	設定用レジスタファイル
22a	セグメントレジスタ	22b	インデックスレジスタ
22c	アドレス格納レジスタ	22d	セグメント設定レジスタ
22e	リミット設定レジスタ	22f	インデックス

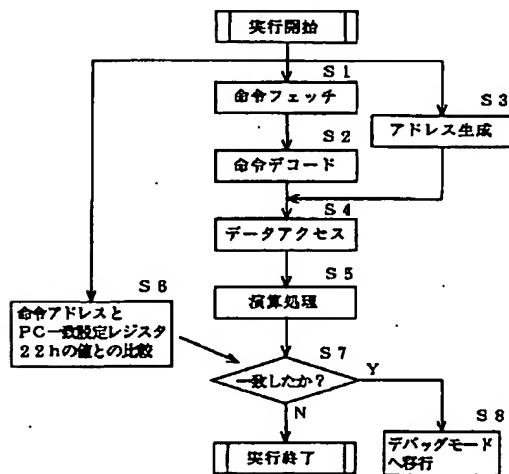
17

クスレジスタ
 22g アドレス一致設定レジスタ 22h PC一致
 設定レジスタ
 23 アドレス計算部 24 アドレス切
 替部
 25 セグメントエラー検出部 26 リミットエ
 ラー検出部

【図1】



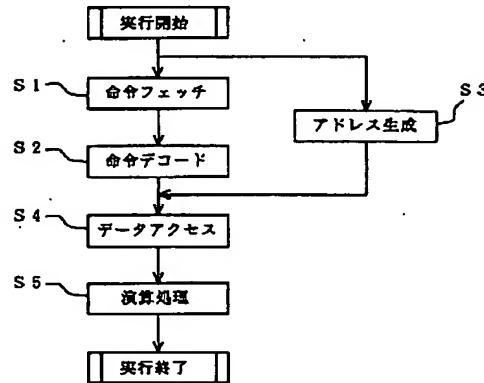
【図17】



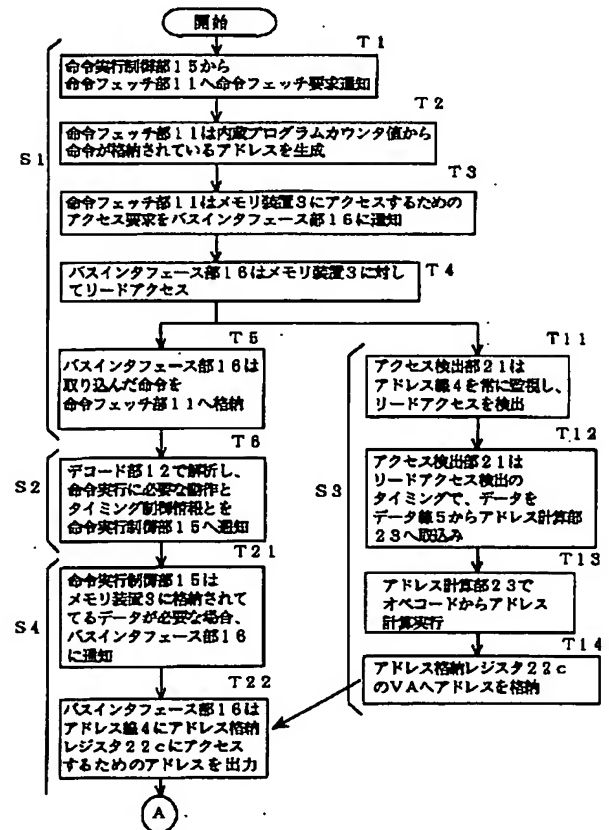
18

27 ライト禁止属性エラー検出部 28 アドレス一
 致検出部
 E1 セグメントエラー情報 E2 リミット
 エラー情報
 E3 ライト禁止属性エラー情報 E4 アドレス
 一致情報
 VA 有効アドレス

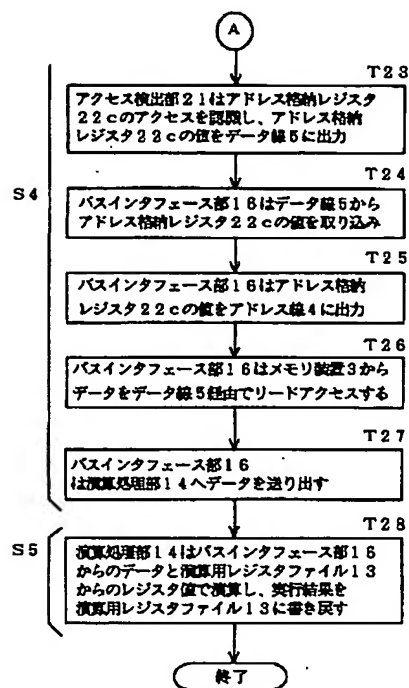
【図2】



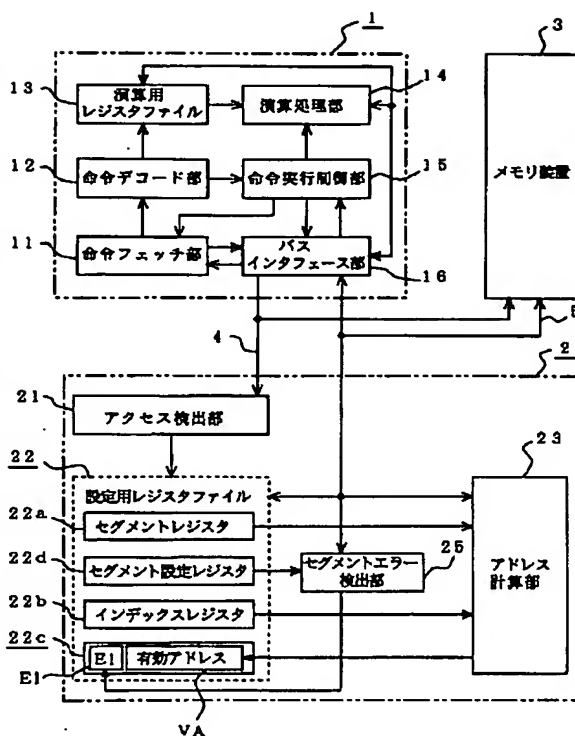
【図3】



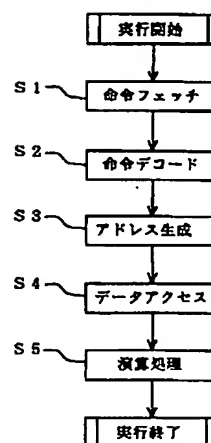
【図4】



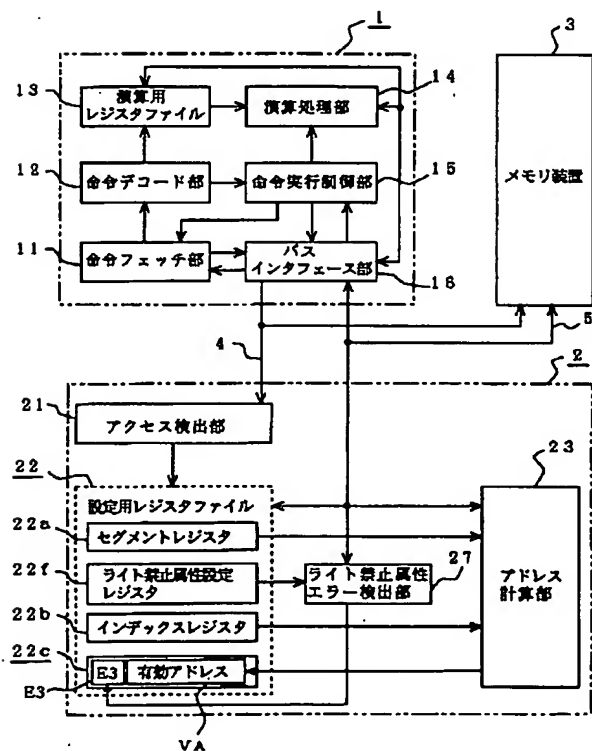
【図5】



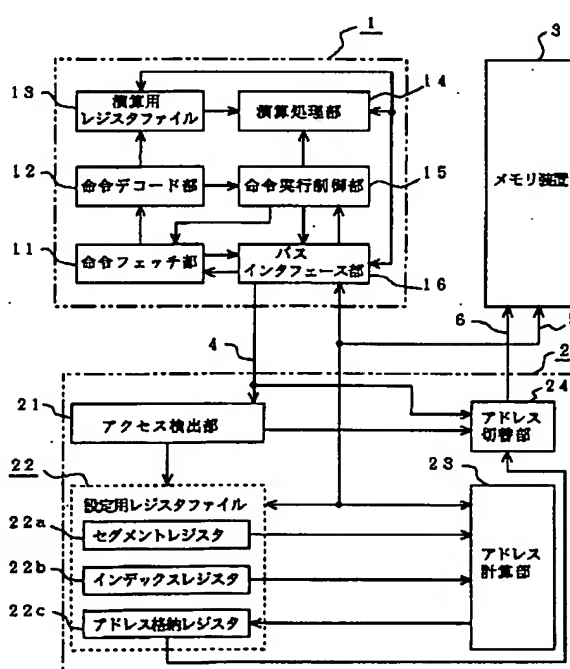
【図19】



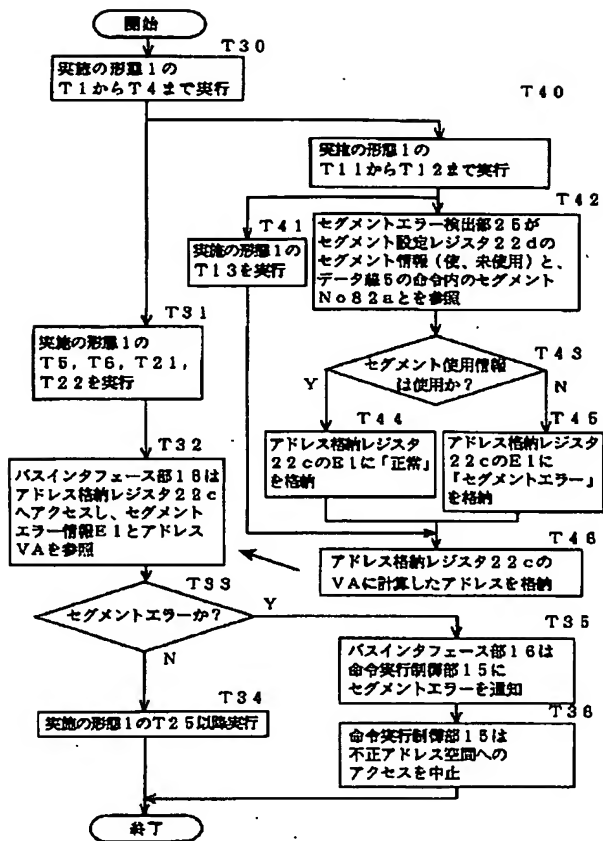
【図8】



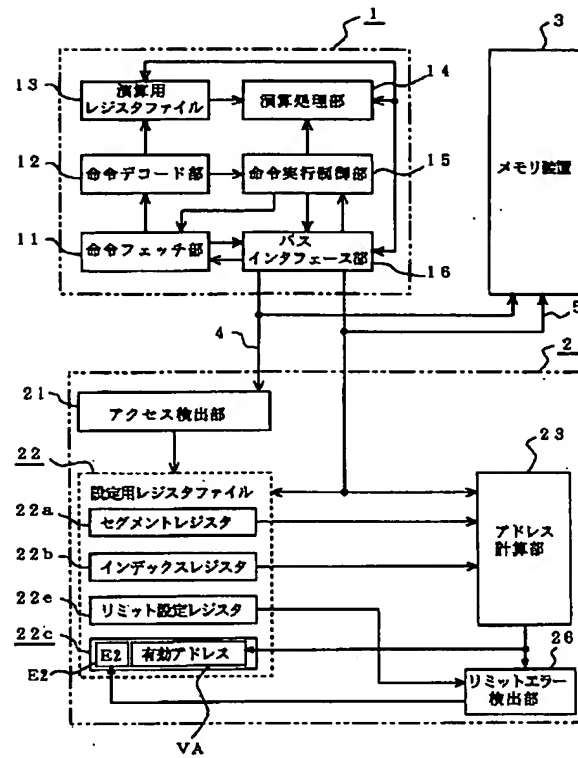
【図10】



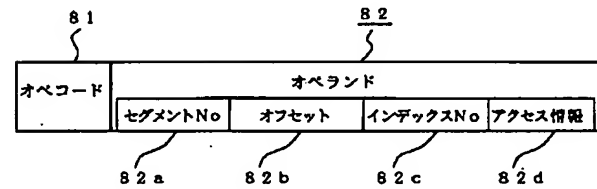
【图 6】



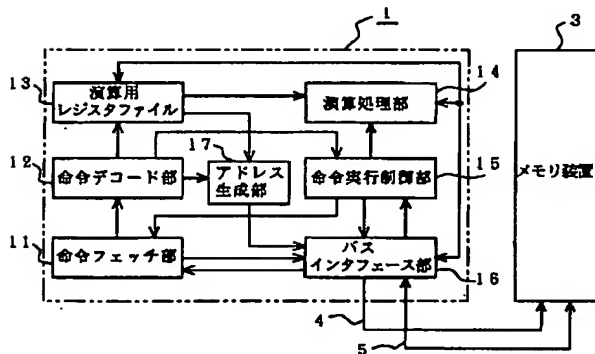
【図 7】



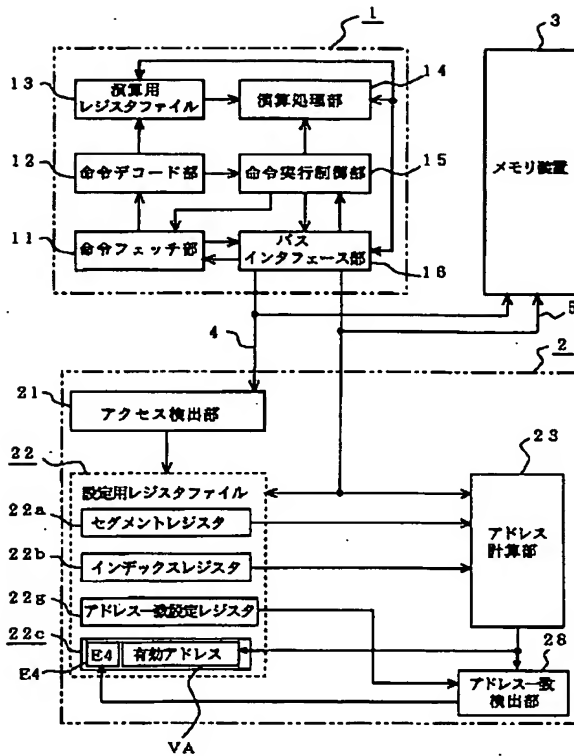
【图 20】



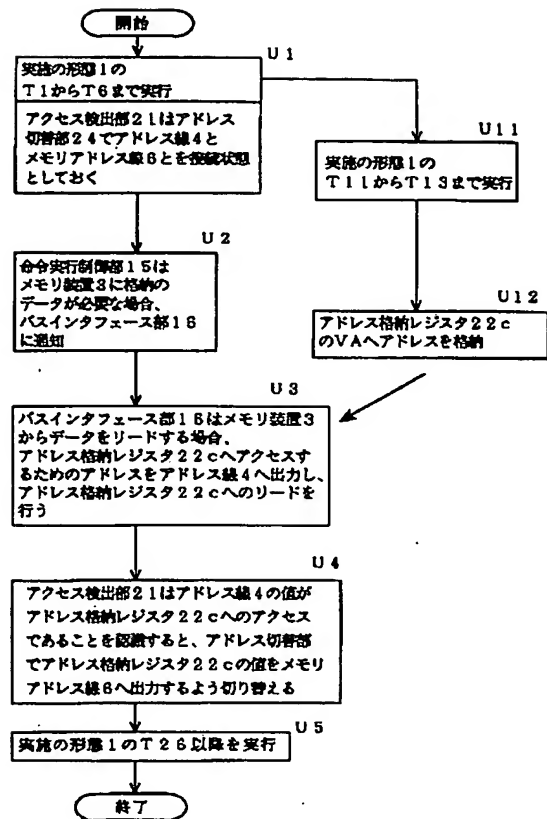
【图 18】



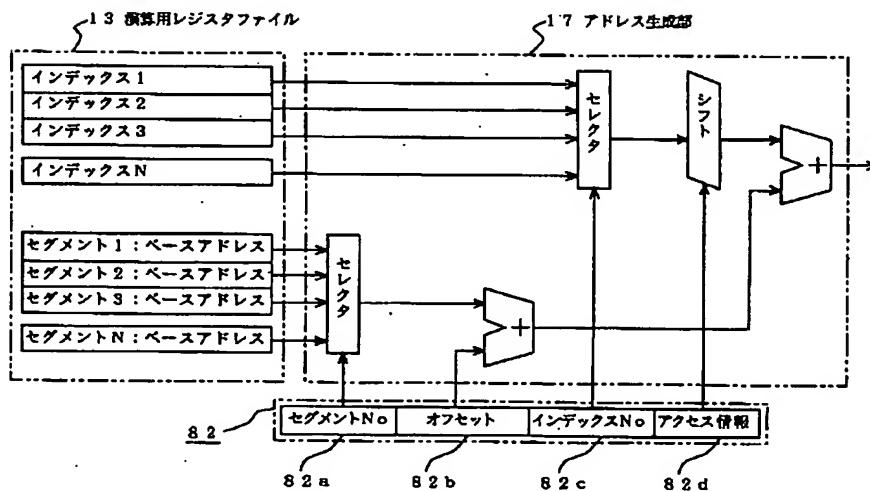
【図 9】



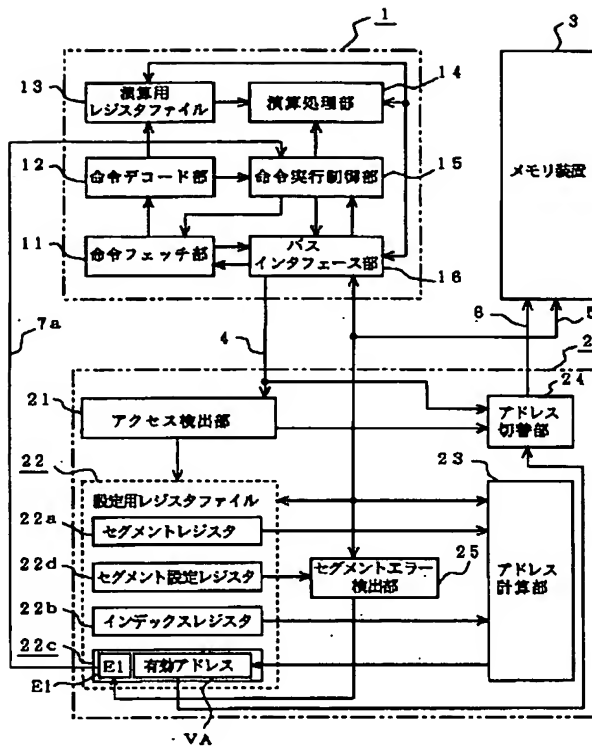
【図 11】



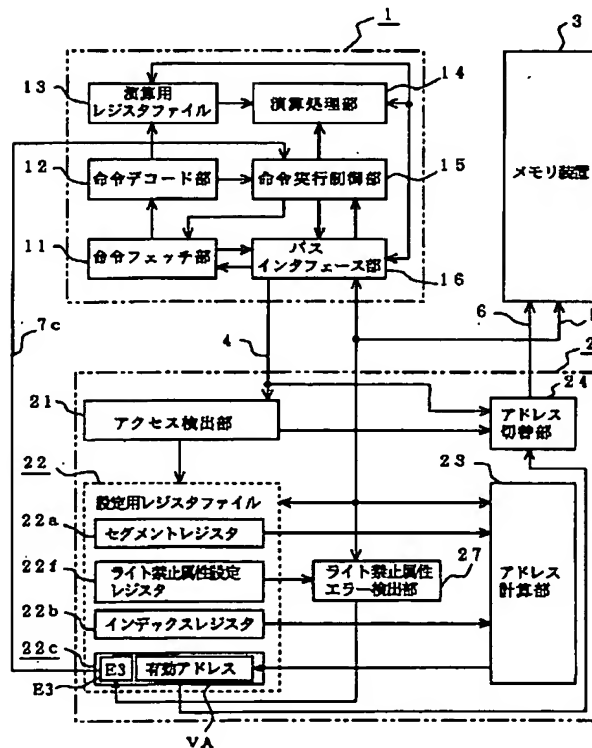
【図 21】



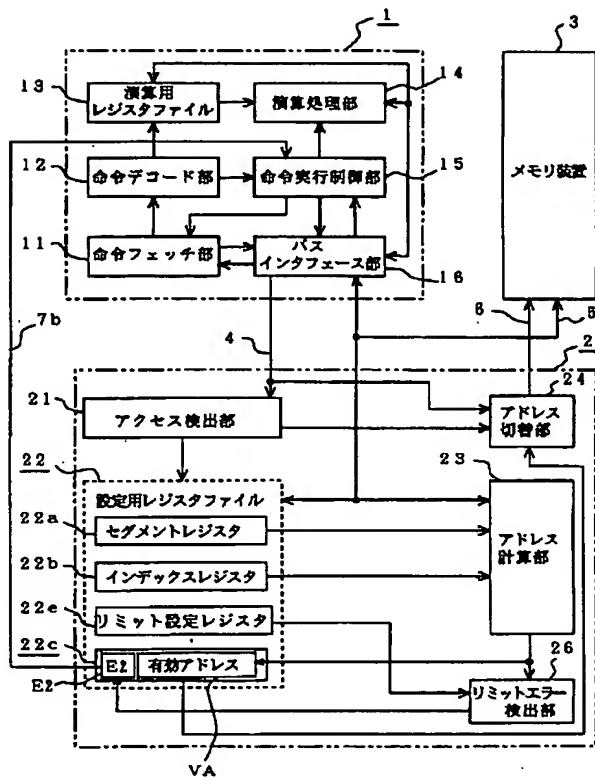
【図 12】



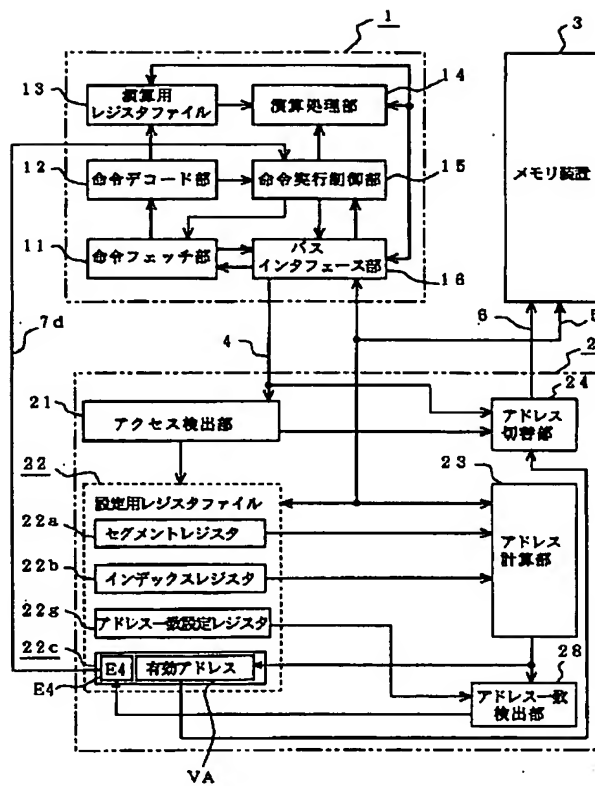
【図 14】



【図 13】



【図 15】



【図 16】

